

Docket No.: R2180.0190/P190  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

---

In re Patent Application of:  
Takaaki Negoro et al.

Application No.: Not Yet Assigned

Confirmation No.: NYA

Filed: Concurrently Herewith

Art Unit: N/A

For: METAL OXIDE SILICON TRANSISTOR  
AND SEMICONDUCTOR APPARATUS  
HAVING HIGH A AND B  
PERFORMANCES

---

Examiner: Not Yet Assigned

**CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS**

MS Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following  
prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2003-041196	February 19, 2003

Application No.: Not Yet Assigned

Docket No.: R2180.0190/P190

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: February 19, 2004

Respectfully submitted,

By 

Mark J. Thronson

Registration No.: 33,082

DICKSTEIN SHAPIRO MORIN &  
OSHINSKY LLP

2101 L Street NW

Washington, DC 20037-1526

(202) 785-9700

Attorney for Applicant



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

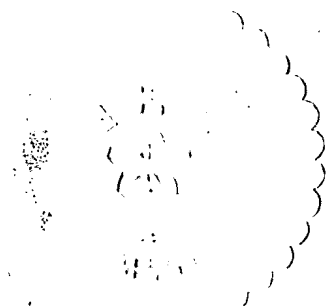
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   2 月 1 9 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 0 4 1 1 9 6  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 4 1 1 9 6 ]

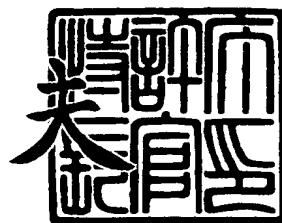
出   願   人            株 式 会 社 リ コ ー  
Applicant(s):



2 0 0 3 年 1 2 月   2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康





【書類名】 特許願

【整理番号】 0209076

【提出日】 平成15年 2月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置

【請求項の数】 14

【発明者】

    【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

    【氏名】 根来 宝昭

【発明者】

    【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

    【氏名】 清水 映

【特許出願人】

    【識別番号】 000006747

    【氏名又は名称】 株式会社リコー

【代理人】

    【識別番号】 100085464

    【弁理士】

    【氏名又は名称】 野口 繁雄

【手数料の表示】

    【予納台帳番号】 037017

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9808801

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 ソースとドレインの間のチャネル領域となる半導体基板上にゲート酸化膜を介してゲート電極が形成された MOS トランジスタを備えた半導体装置において、

前記 MOS トランジスタは、前記チャネル領域のチャネル長方向において、ソース側領域のしきい値電圧がドレイン側領域に比べて高くなっていることを特徴とする半導体装置。

【請求項 2】 前記チャネル領域は、チャネル長方向に前記ソース側領域と前記ドレイン側領域でチャネル不純物濃度が異なっている請求項 1 に記載の半導体装置。

【請求項 3】 前記ゲート電極は、チャネル長方向に前記ソース側領域と前記ドレイン側領域で仕事関数の異なる領域をもつ請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記ゲート酸化膜は、チャネル長方向に前記ソース側領域と前記ドレイン側領域で膜厚が異なっている請求項 1、2 又は 3 に記載の半導体装置。

【請求項 5】 前記 MOS トランジスタは、前記ソースと前記ドレインの間に、前記ゲート電極によって前記ソース及び前記ドレインとは間隔をもって形成された不純物拡散層をさらに備え、

前記チャネル領域は、前記ドレインと前記不純物拡散層間のドレイン側チャネル領域と、前記不純物拡散層と前記ソース間のソース側チャネル領域により構成され、

前記ゲート電極は、前記ドレイン側チャネル領域上にドレイン側ゲート酸化膜を介して形成されたドレイン側ゲート電極と、前記ソース側チャネル領域上にソース側ゲート酸化膜を介して形成されたソース側ゲート電極により構成され、

前記ソース側領域は、前記ソース、前記不純物拡散層、前記ソース側チャネル領域、前記ソース側ゲート酸化膜及び前記ソース側ゲート電極からなるソース側

MOSトランジスタにより構成され、

前記ドレイン側領域は、前記ドレイン、前記不純物拡散層、前記ドレイン側チャネル領域、前記ドレイン側ゲート酸化膜及び前記ドレイン側ゲート電極からなるドレイン側MOSトランジスタにより構成されている請求項1に記載の半導体装置。

【請求項6】 前記ドレイン側チャネル領域と前記ソース側チャネル領域のチャネル不純物濃度が異なっている請求項5に記載の半導体装置。

【請求項7】 前記ドレイン側ゲート電極と前記ソース側ゲート電極の仕事関数が異なっている請求項5又は6に記載の半導体装置。

【請求項8】 前記ドレイン側ゲート酸化膜と前記ソース側ゲート酸化膜の膜厚が異なっている請求項5、6又は7に記載の半導体装置。

【請求項9】 ゲート電極が互いに接続された一対のMOSトランジスタからなり、両MOSトランジスタのゲート電極が一方のMOSトランジスタのドレインに接続されてなるカレントミラー回路を備えた半導体装置において、

前記カレントミラー回路を構成するMOSトランジスタは、請求項1から8のいずれかに記載されたMOSトランジスタにより構成されていることを特徴とする半導体装置。

【請求項10】 カレントミラー回路を定電流負荷とする差動増幅回路を備えた半導体装置において、

前記カレントミラー回路は、請求項9に記載されたカレントミラー回路により構成されていることを特徴とする半導体装置。

【請求項11】 ゲート電極とソースを接続したデプレッション型MOSトランジスタを定電流源とし、そのデプレッション型MOSトランジスタに1又は複数のエンハンスメント型MOSトランジスタが直列に接続されて構成される基準電圧発生回路を備えた半導体装置において、

前記デプレッション型MOSトランジスタは、請求項1から8のいずれかに記載されたMOSトランジスタにより構成されていることを特徴とする半導体装置。

。

【請求項12】 入力電圧を分割して分割電圧を供給するための分割抵抗と

、基準電圧を供給するための基準電圧発生回路と、前記分割抵抗からの分割電圧と前記基準電圧発生回路からの基準電圧を比較するための差動増幅回路をもつ電圧検出回路を備えた半導体装置において、

前記差動増幅回路として請求項 1 0 に記載された差動増幅回路を備え、もしくは前記基準電圧発生回路として請求項 1 1 に記載された基準電圧発生回路を備え、又はその両方を備えていることを特徴とする半導体装置。

【請求項 1 3】 入力電圧の出力を制御する出力ドライバと、出力電圧を分割して分割電圧を供給するための分割抵抗と、基準電圧を供給するための基準電圧発生回路と、前記分割抵抗からの分圧電圧と前記基準電圧発生回路からの基準電圧を比較し、比較結果に応じて前記出力ドライバの動作を制御するための差動増幅回路をもつ定電圧発生回路を備えた半導体装置において、

前記差動増幅回路として請求項 1 0 に記載された差動増幅回路を備え、もしくは前記基準電圧発生回路として請求項 1 1 に記載された基準電圧発生回路を備え、又はその両方を備えていることを特徴とする半導体装置。

【請求項 1 4】 環状に接続された複数個のインバータ回路と、前記インバータ回路に電源を供給するための定電流源をもつリングオシレータを備えた半導体装置において、

前記定電流源は、請求項 1 から 8 のいずれかに記載された MOS トランジスタにより構成されていることを特徴とする半導体装置。

#### 【発明の詳細な説明】

##### 【0 0 0 1】

##### 【発明の属する技術分野】

本発明は、MOS トランジスタを備えた半導体装置に関するものである。

##### 【0 0 0 2】

##### 【従来の技術】

アナログ回路を構成する上で MOS トランジスタを使う場合、ドレイン電圧による電流値の変化量が少ない飽和領域での電流を使用する。差動増幅回路における定電流源や、カレントミラー回路の MOS トランジスタ部分は、電源電圧の変化による電流変化がないものが望まれる。また、基準電流源として MOS トラン

ジスタを用いる場合にも同様の特性が要求される。

#### 【0003】

このように使うMOSトランジスタとしては、チャンネル長変調効果の少ない（ $\lambda$ 特性が良い）ものが必要である。チャンネル長変調効果とは、飽和領域動作時に、ドレイン電圧の増大にともなってドレイン側空乏層がソース側に伸び、実効チャンネル長が短くなることにより、ドレイン電圧の増加に依存して電流値が増加していく現象である。

従来、 $\lambda$ 特性を良くするには、実効チャンネル長が極端に長いMOSトランジスタを用いていた。

#### 【0004】

しかし、実効チャンネル長が長いMOSトランジスタは電流を流すためには不向きであるという問題があった。さらに、差動増幅回路などに使用されるMOSトランジスタには、ある程度、ゲート電圧に対する電流変化量（ $\beta$ 特性）が大きい特性も同時に必要とされるため、チャンネル長が長い分、チャンネル幅を大きくし対応していた。このため、能力の高い差動増幅回路は面積が大きなものとならざるを得なくなり、ある程度の能力で妥協してきた。

#### 【0005】

このようなことから、MOSトランジスタとしては相反する特性である小さな面積で $\beta$ 特性と $\lambda$ 特性の両者に優れた特性を有するMOSトランジスタが所望されていた。また、このようなMOSトランジスタはPchMOSトランジスタ、NchMOSトランジスタ、並びにエンハンスメント型、デプリーション型などのMOSトランジスタすべてのMOSトランジスタで必要とされていた。

#### 【0006】

また、MOSトランジスタにおいて、色々なしきい値電圧を有するものを同じ半導体基板上に形成する場合、ゲート酸化膜の膜厚を異ならせたり、ゲート酸化膜直下のチャンネル領域へのチャンネルドーパ量を変えてチャンネル領域の不純物濃度を異ならせたりすることにより、しきい値電圧を異ならせている。

#### 【0007】

MOSトランジスタを形成する複数の領域でゲート酸化膜の膜厚を異ならせる



方法の一例を説明すると、半導体基板表面にシリコン酸化膜を形成し、素子形成領域のシリコン酸化膜上にシリコン窒化膜を形成した後、LOCOS (Local Oxidation of Silicon) 法により素子分離膜を形成する。第1のゲート酸化膜を形成する素子形成領域に対応して開口を有するレジスト膜を形成し、これをマスクとして開口内のシリコン窒化膜及びシリコン酸化膜を除去した後、熱酸化により第1のゲート酸化膜を選択的に形成する。第2のゲート酸化膜を形成する素子形成領域におけるシリコン窒化膜及びシリコン酸化膜を除去したのち、第1のゲート酸化膜とは異なる膜厚の第2のゲート酸化膜を熱酸化により選択的に形成する(特許文献1参照)。

#### 【0008】

一方、複数の素子形成領域でチャネル領域へのチャネルドーパ量を変えてチャネル領域の不純物濃度を異ならせる方法の一例を説明すると、各素子形成領域に、P型の半導体基板の表面濃度で決まる第1の不純物濃度のチャネル領域と、不純物導入用マスクのパターンによって選択された領域に不純物をイオン打込みなどで導入することによって決定される第2の不純物濃度のチャネル領域を設ける。さらに第1の不純物濃度のチャネル領域と第2の不純物濃度のチャネル領域は複数の平面的形状に分割する。第2の不純物濃度のチャネル領域を形成するためのイオン打込みに用いる不純物導入用マスクにおいて、複数の素子形成領域でパターンを変えることにより、第1の不純物濃度のチャネル領域と第2の不純物濃度のチャネル領域の平面的な面積比を変え、ひいてはチャネル領域へのチャネルドーパ量を変えている(特許文献2参照)。

#### 【0009】

##### 【特許文献1】

特開平10-178102号公報

##### 【特許文献2】

特開平8-274330号公報

#### 【0010】

##### 【発明が解決しようとする課題】

本発明は、小さな面積で形成することができ、かつ優れた $\lambda$ 特性を有するMO

Sトランジスタを備えた半導体装置を提供することを目的とするものである。

#### 【0011】

##### 【課題を解決するための手段】

本発明の半導体装置はソースとドレインの間のチャネル領域となる半導体基板上にゲート酸化膜を介してゲート電極が形成されたMOSトランジスタを備えた半導体装置であって、上記MOSトランジスタは、上記チャネル領域のチャネル長方向において、ソース側領域のしきい値電圧がドレイン側領域に比べて高くなっているものである。

#### 【0012】

ここで、ソース側領域とは、チャネル領域の形成領域で、ソースに隣接し、かつドレインとは間隔をもつ領域をいい、ドレイン側領域とは、ゲート電極の形成領域で、ドレインに隣接し、かつソースとは間隔をもつ領域をいう。

また、ソース側領域がドレイン側領域に比べてしきい値電圧が高いとは、NチャネルMOSトランジスタにおいてはソース側領域のしきい値電圧がドレイン側領域のしきい値電圧に比べて正側であることを意味し、PチャネルMOSトランジスタにおいてはソース側領域のしきい値電圧がドレイン側領域のしきい値電圧に比べて負側であることを意味する。以下、NチャネルMOSトランジスタをNchMOSトランジスタと略記し、PチャネルMOSトランジスタをPchMOSトランジスタと略記する。

#### 【0013】

本発明を構成するMOSトランジスタは、チャネル領域のチャネル長方向において、ソース側領域がドレイン側領域に比べてしきい値電圧が高くなっており、ソース側領域とドレイン側領域でゲート電極が共通なので、MOSトランジスタ全体のしきい値電圧及び実効チャネル長はソース側領域のしきい値電圧で決まる。

#### 【0014】

ここで、ドレイン側領域とソース側領域にMOSトランジスタがそれぞれ形成されていると考えると、電流駆動能力が高いドレイン側領域のMOSトランジスタと電流駆動能力が低いソース側領域のMOSトランジスタが直列に接続されて

いると考えることができる。この場合、電流駆動能力の高いドレイン側領域の MOS トランジスタはソース側領域の MOS トランジスタの電流駆動能力に合わせて電流の制限をかけられることとなる。このとき、電流を低下させるために、ドレイン側領域の MOS トランジスタのソースはバックバイアスがかかるように電圧が発生する。この電圧はソース側領域の MOS トランジスタのドレイン電圧となり、飽和領域ではゲート電圧を変化させなければ、ほぼ固定されることになる。したがって、ドレイン電圧を変化させても、ソース側領域の MOS トランジスタのドレイン電圧は変化せず、飽和ドレイン電流を一定にすることができ、 $\lambda$  特性を向上させることができる。

#### 【0015】

このように、本発明を構成する MOS トランジスタによれば、実効チャネル長を短くしても、 $\lambda$  特性を向上させることができる。さらに、チャネル幅及びチャネル長を縮小することができる。したがって、優れた  $\lambda$  特性を有する MOS トランジスタを小さな面積で形成することができる。

#### 【0016】

##### 【発明の実施の形態】

チャネル領域のチャネル長方向においてソース側領域のしきい値電圧がドレイン側領域に比べて高くなっている構造の例として、上記チャネル領域は、チャネル長方向に上記ソース側領域と上記ドレイン側領域でチャネル不純物濃度が異なっている構造を挙げることができる。

#### 【0017】

チャネル領域のチャネル長方向においてソース側領域のしきい値電圧がドレイン側領域に比べて高くなっている構造の他の例として、上記ゲート電極は、チャネル長方向に上記ソース側領域と上記ドレイン側領域で仕事関数の異なる領域をもつ構造を挙げることができる。ここで、仕事関数とは、MOS トランジスタにおいてしきい値電圧を決定する要素の 1 つである金属・半導体仕事関数の差  $\Phi_{MS}$  をいう。

#### 【0018】

チャネル領域のチャネル長方向においてソース側領域のしきい値電圧がドレイ

ン側領域に比べて高くなっている構造のさらに他の例として、上記ゲート酸化膜は、チャンネル長方向に上記ソース側領域と上記ドレイン側領域で膜厚が異なっている構造を挙げることができる。

これらの構造例は単独で用いてもよいし、組み合わせて用いてもよい。

#### 【0019】

また、本発明の半導体装置を構成するMOSトランジスタの他の態様として、上記ソースと上記ドレインの間に、上記ゲート電極によって上記ソース及び上記ドレインとは間隔をもって形成された不純物拡散層をさらに備え、上記チャンネル領域は、上記ドレインと上記不純物拡散層間のドレイン側チャンネル領域と、上記不純物拡散層と上記ソース間のソース側チャンネル領域により構成され、上記ゲート電極は、上記ドレイン側チャンネル領域上にドレイン側ゲート酸化膜を介して形成されたドレイン側ゲート電極と、上記ソース側チャンネル領域上にソース側ゲート酸化膜を介して形成されたソース側ゲート電極により構成され、上記ソース側領域は、上記ソース、上記不純物拡散層、上記ソース側チャンネル領域、上記ソース側ゲート酸化膜及び上記ソース側ゲート電極からなるソース側MOSトランジスタにより構成され、上記ドレイン側領域は、上記ドレイン、上記不純物拡散層、上記ドレイン側チャンネル領域、上記ドレイン側ゲート酸化膜及び上記ドレイン側ゲート電極からなるドレイン側MOSトランジスタにより構成されているものを挙げることができる。

#### 【0020】

この態様において、ソース側領域（ソース側MOSトランジスタ）が、ドレイン側領域（ドレイン側MOSトランジスタ）に比べてしきい値電圧が高くなっている構造の例として、例えば、上記ドレイン側チャンネル領域と上記ソース側チャンネル領域のチャンネル不純物濃度が異なっている構造、上記ドレイン側ゲート電極と上記ソース側ゲート電極の仕事関数が異なっている構造、上記ドレイン側ゲート酸化膜と上記ソース側ゲート酸化膜の膜厚が異なっている構造を挙げることができる。

これらの構造例は単独で用いてもよいし、組み合わせて用いてもよい。

#### 【0021】

この態様によれば、ゲート電極を構成するドレイン側ゲート電極とソース側ゲート電極は間隔をもって配置され、ゲート酸化膜を構成するドレイン側ゲート電極とソース側ゲート電極は間隔をもって配置され、ドレイン側チャンネル領域とソース側チャンネル領域は間隔をもって配置されているので、ゲート電極、ゲート酸化膜及びチャンネル領域についてソース側領域とドレイン側領域が隣接している構造に比べて、写真製版のズレによる特性バラツキをなくすることができる。

#### 【0022】

本発明が適用される半導体装置の例として、ゲート電極が互いに接続された一対のMOSトランジスタからなり、両MOSトランジスタのゲート電極が一方のMOSトランジスタのドレインに接続されてなるカレントミラー回路を備えた半導体装置を挙げることができる。上記カレントミラー回路を構成するMOSトランジスタは、本発明の半導体装置を構成するMOSトランジスタにより構成されている。

#### 【0023】

本発明の半導体装置を構成するMOSトランジスタは優れた特性を有するMOSトランジスタを小さな面積で形成することができるので、カレントミラー回路の面積を増大させることなく、両MOSトランジスタに同じ電流を流す能力を向上させることができる。

#### 【0024】

本発明が適用される半導体装置の他の例として、カレントミラー回路を定電流負荷とする差動増幅回路を備えた半導体装置を挙げることができる。上記カレントミラー回路は、本発明の半導体装置を構成するMOSトランジスタを適用したカレントミラー回路により構成されている。

#### 【0025】

上述のように、本発明を構成するMOSトランジスタを適用したカレントミラー回路はカレントミラー回路の面積を増大させることなく、両MOSトランジスタに同じ電流を流す能力を向上させることができるので、カレントミラー回路を定電流負荷とする差動増幅回路のゲインの改善を図ることができる。

#### 【0026】

本発明が適用される半導体装置のさらに他の例として、ゲート電極とソースを接続したデプレッション型MOSトランジスタを定電流源とし、そのデプレッション型MOSトランジスタに1又は複数のエンハンスメント型MOSトランジスタが直列に接続されて構成される基準電圧発生回路を備えた半導体装置を挙げることができる。上記デプレッション型MOSトランジスタは、本発明の半導体装置を構成するMOSトランジスタにより構成されている。

#### 【0027】

定電流源を構成するデプレッション型MOSトランジスタに本発明の半導体装置を構成するMOSトランジスタを適用することにより、そのデプレッション型MOSトランジスタに直列に接続されている1又は複数のエンハンスメント型MOSトランジスタに安定して電流を供給することができ、基準電圧発生回路の出力電圧を安定させることができる。

#### 【0028】

本発明が適用される半導体装置のさらに他の例として、入力電圧を分割して分割電圧を供給するための分割抵抗と、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗からの分割電圧と上記基準電圧発生回路からの基準電圧を比較するための差動増幅回路をもつ電圧検出回路を備えた半導体装置を挙げることができる。上記差動増幅回路として本発明を構成するMOSトランジスタを適用したカレントミラー回路を定電流負荷とする差動増幅回路を備え、もしくは上記基準電圧発生回路として定電流源を構成するデプレッション型MOSトランジスタに本発明の半導体装置を構成するMOSトランジスタを適用した基準電圧発生回路を備え、又はその両方を備えている。

#### 【0029】

本発明が適用された差動増幅回路ではゲインの改善を図ることができ、本発明が適用された基準電圧発生回路では出力電圧（基準電圧）の安定化を図ることができるので、電圧検出回路の電圧検出能力の精度を向上させることができる。

#### 【0030】

本発明が適用される半導体装置のさらに他の例として、入力電圧の出力を制御する出力ドライバと、出力電圧を分割して分割電圧を供給するための分割抵抗と

、基準電圧を供給するための基準電圧発生回路と、上記分割抵抗からの分圧電圧と上記基準電圧発生回路からの基準電圧を比較し、比較結果に応じて上記出力ドライバの動作を制御するための差動増幅回路をもつ定電圧発生回路を備えた半導体装置を挙げることができる。上記差動増幅回路として本発明を構成するMOSトランジスタを適用したカレントミラー回路を定電流負荷とする差動増幅回路を備え、もしくは上記基準電圧発生回路として定電流源を構成するデプレッション型MOSトランジスタに本発明の半導体装置を構成するMOSトランジスタを適用した基準電圧発生回路を備え、又はその両方を備えている。

#### 【0031】

本発明が適用された差動増幅回路ではゲインの改善を図ることができ、本発明が適用された基準電圧発生回路では基準電圧の安定化を図ることができるので、定電圧発生回路の出力電圧の安定性を向上させることができる。

#### 【0032】

本発明が適用される半導体装置のさらに他の例として、環状に接続された複数のインバータ回路と、上記インバータ回路に電源を供給するための定電流源をもつリングオシレータを備えた半導体装置を挙げることができる。上記定電流源は、本発明の半導体装置を構成するMOSトランジスタにより構成されている。

#### 【0033】

インバータ回路に供給される電流は電源電圧に依存しない特性が求められるが、本発明の半導体装置を構成するMOSトランジスタによれば、特性を向上させることができるので、リングオシレータの発振を安定させることができる。

#### 【0034】

##### 【実施例】

図1は一実施例を示す図であり、(A)は平面図、(B)は(A)のA-A位置での断面図である。この実施例はPchMOSトランジスタに適用したものである。

#### 【0035】

P型半導体基板1の表面に素子形成領域を分離するためのLOCOS酸化膜3が形成されている。半導体基板1の素子形成領域にNウェル領域5が形成されて

いる。Nウエル領域5表面部のチャネル領域7上にシリコン酸化膜からなるゲート酸化膜9が形成されている。ゲート酸化膜9上には、LOCOS酸化膜3に跨って、P型不純物が導入されたポリシリコンからなる帯状のゲート電極11が形成されている。Nウエル領域5表面部のチャネル領域7の両側に、P型不純物が注入されてなるソース13s及びドレイン13dが形成されている。ゲート電極11にはLOCOS酸化膜3上でオーミックコンタクト領域15が形成されている。

#### 【0036】

チャネル領域7は、チャネル長方向に、ソース13s側の領域7sとドレイン13d側の領域7dでチャネル不純物濃度が異なっており、ソース13s側の領域7sのしきい値電圧はドレイン13d側の領域7dのしきい値電圧に比べて高く（負側に）なっている。

#### 【0037】

チャネル領域7のドレイン13d側の領域7dとソース13s側の領域7sにMOSトランジスタがそれぞれ形成されていると考えると、電流駆動能力が高いドレイン13d側のMOSトランジスタ（前段MOSトランジスタと称す）と電流駆動能力が低いソース13s側のMOSトランジスタ（後段MOSトランジスタと称す）が直列に接続されていると考えることができる。この場合、電流駆動能力の高い前段MOSトランジスタは後段MOSトランジスタの電流駆動能力に合わせて電流の制限をかけられることとなる。このとき、電流を低下させるために、前段MOSトランジスタのソースはバックバイアスがかかるように電圧が発生する。この電圧は後段MOSトランジスタのドレイン電圧となり、飽和領域ではゲート電圧を変化させなければ、ほぼ固定されることになる。このため、ドレイン電圧を変化させても、後段MOSトランジスタのドレイン電圧は変化せず、飽和ドレイン電流を一定にすることができ、 $\lambda$ 特性を向上させることができる。

#### 【0038】

表1に、PchMOSトランジスタについて、ドレイン13d側の領域7dのチャネル長及びしきい値電圧（チャネル不純物濃度）を変化させたときの $\lambda$ 特性（A（アンペア）／V（ボルト））を調べた結果を示す。比較例としてドレイン



13 d 側の領域 7 d を形成せずにソース 13 s 側の領域 7 s のみを形成した例を示す。ソース 13 s 側の領域 7 s のしきい値電圧（ソース側  $V_{th}$ ）は  $-0.65\text{ V}$  に、ドレイン 13 d 側の領域 7 d のしきい値電圧（ドレイン側  $V_{th}$ ）は  $-0.35\text{ V}$  又は  $+0.20\text{ V}$  になるようにチャネル不純物濃度を設定した。

【0039】

【表 1】

	ソース側 $V_{th}$ $-0.65\text{ V}$	ドレイン側 $V_{th}$ $-0.35\text{ V}$	ドレイン側 $V_{th}$ $+0.20\text{ V}$	$\lambda$ 特性 ( $\text{A/V}$ )
比較例 1	$2.0\mu\text{m}$	無	無	$157 \times 10^{-9}$
比較例 2	$10.0\mu\text{m}$	無	無	$35.4 \times 10^{-9}$
実施例 1	$2.0\mu\text{m}$	$2.0\mu\text{m}$	無	$9.93 \times 10^{-9}$
実施例 2	$2.0\mu\text{m}$	$10.0\mu\text{m}$	無	$33.2 \times 10^{-9}$
実施例 3	$2.0\mu\text{m}$	無	$10.0\mu\text{m}$	0 (変化なし)

【0040】

ソース 13 s 側の領域 7 s が  $2.0\mu\text{m}$ （マイクロメートル）、ドレイン 13 d 側の領域 7 d（ドレイン側  $V_{th}$  は  $-0.35\text{ V}$ ）が  $2.0\mu\text{m}$  のチャネル長で形成された実施例 1、及びソース 13 s 側の領域 7 s が  $2.0\mu\text{m}$ 、ドレイン 13 d 側の領域 7 d（ドレイン側  $V_{th}$  は  $-0.35\text{ V}$ ）が  $10.0\mu\text{m}$  のチャネル長で形成された実施例 2 について、ソース 13 s 側の領域 7 s のみが  $2.0\mu\text{m}$  のチャネル長で形成された比較例 1、及びソース 13 s 側の領域 7 s のみが  $10.0\mu\text{m}$  のチャネル長で形成された比較例 2 に比べて、 $\lambda$  特性が向上されていることがわかる。

【0041】

図 2 に、ドレイン側の MOS トランジスタ（前段 MOS トランジスタ）とソース側の MOS トランジスタ（後段 MOS トランジスタ）について、前段 MOS トランジスタと後段 MOS トランジスタのしきい値電圧差は  $0.3\text{ V}$ 、後段 MOS トランジスタのチャネル長は  $2.0\mu\text{m}$  の条件での、前段 MOS トランジスタのチャネル長と  $\lambda$  特性の関係を示すグラフである。図 2 において、縦軸は  $\lambda$  特性 ( $\text{A/V}$ ) を示し、横軸は前段 MOS トランジスタのチャネル長 ( $\mu\text{m}$ ) を示す。

## 【0042】

表1の実施例1と実施例2との比較、及び図2からわかるように、前段MOSトランジスタの電流駆動能力が高いほど良いことがわかる。すなわち、チャンネル長が短い方が $\lambda$ 特性が良い。これは、全体のチャンネル長（ゲート長）を小さくでき、MOSトランジスタの形成面積を小さくできることを示唆している。

## 【0043】

図3に、ドレイン側のMOSトランジスタ（前段MOSトランジスタ）とソース側のMOSトランジスタ（後段MOSトランジスタ）について、前段MOSトランジスタのチャンネル長は $10.0\mu\text{m}$ 、後段MOSトランジスタのチャンネル長は $2.0\mu\text{m}$ の条件での、前段MOSトランジスタと後段MOSトランジスタのしきい値電圧差と $\lambda$ 特性の関係を示すグラフである。図2において、縦軸は $\lambda$ 特性（ $A/V$ ）を示し、横軸はしきい値電圧差（ $V$ ）を示す。

## 【0044】

表1の実施例2と実施例3との比較、及び図3からわかるように、前段MOSトランジスタと後段MOSトランジスタのしきい値電圧差が大きいほど、すなわち前段MOSトランジスタの電流駆動能力が高いほど、 $\lambda$ 特性向上の効果が大きくなると考えられる。

## 【0045】

図1に示した実施例では、本発明をPchMOSトランジスタに適用しているが、チャンネル領域についてチャンネル長方向にソース側とドレイン側でチャンネル不純物濃度を異ならせることによりチャンネル領域のチャンネル長方向においてソース側領域のしきい値電圧がドレイン側領域に比べて高くなっている構造は、NchMOSトランジスタにも適用することができ、PchMOSトランジスタに適用した場合と同様の効果を得ることができる。

## 【0046】

図4は他の実施例を示す図であり、（A）は平面図、（B）は（A）のB-B位置での断面図である。この実施例はNchMOSトランジスタに適用したものである。図1と同じ部分には同じ符号を付す。

## 【0047】

P型半導体基板1の表面にLOCOS酸化膜3が形成されている。半導体基板1の素子形成領域にNウエル領域17が形成されている。Pウエル領域17表面部のチャンネル領域19上に、ゲート酸化膜9を介して、LOCOS酸化膜3に跨ってポリシリコンからなる帯状のゲート電極21が形成されている。Pウエル領域17表面部のチャンネル領域19の両側に、N型不純物が注入されてなるソース23s及びドレイン23dが形成されている。

#### 【0048】

ゲート電極21は、長手方向（チャンネル幅方向）に、導入された不純物の導電型により2つの領域に分けられており、ドレイン23d側のN型領域21dと、ソース23s側のP型領域21sにより構成されている。ゲート電極21にはLOCOS酸化膜3上でN型領域21d及びP型領域21sに跨ってオーミックコンタクト領域15が形成されている。

#### 【0049】

チャンネル領域19はP型であるので、ゲート電極21のP型領域21sに対応する領域は、N型領域21dに対応する領域に比べて、仕事関数が高い。また、N型領域21d及びP型領域21sにはオーミックコンタクト領域15を介して同じ電圧が印加される。したがって、P型領域21sに対応する領域は、N型領域21dに対応する領域に比べて、しきい値電圧が高く（正側に）なっている。

#### 【0050】

ゲート電極21のドレイン23d側のN型領域21dに対応する領域と、ソース23s側のP型領域21sに対応する領域にMOSトランジスタがそれぞれ形成されていると考えると、電流駆動能力が高いドレイン23d側のMOSトランジスタと電流駆動能力が低いソース23s側のMOSトランジスタが直列に接続されていると考えることができ、図1を参照して説明した実施例の場合と同様に、 $\lambda$ 特性を向上させることができる。

#### 【0051】

表2に、NchMOSトランジスタについて、ゲート電極21のN型領域21d（ドレイン側）及びP型領域21s（ソース側）のチャンネル長方向の寸法比率

を変化させたときの $\lambda$ 特性及び $\beta$ 特性を調べた結果を示す。比較例としてN型領域21dを形成せずにP型領域21sのみを形成した例を示す。

## 【0052】

【表2】

	ゲート電極		$\lambda$ 特性 (A/V)	$\beta$ 特性 ( $\mu\text{A}/\text{V}^2$ )
	ソース側 (P型)	ドレイン側 (N型)		
比較例	50 $\mu\text{m}$	無	$3.80 \times 10^{-9}$	27.6
実施例1	10 $\mu\text{m}$	40 $\mu\text{m}$	$3.03 \times 10^{-10}$	145.0
実施例2	20 $\mu\text{m}$	30 $\mu\text{m}$	$9.61 \times 10^{-11}$	69.2
実施例3	30 $\mu\text{m}$	20 $\mu\text{m}$	0 (変化なし)	44.9
実施例4	40 $\mu\text{m}$	10 $\mu\text{m}$	0 (変化なし)	33.1

## 【0053】

P型領域21sが10 $\mu\text{m}$ 、N型領域21dが40 $\mu\text{m}$ の実施例1について、P型領域21sのみ(P型50 $\mu\text{m}$ )の比較例に比べて、 $\lambda$ 特性が向上されていることがわかる。さらに、P型領域21sが20 $\mu\text{m}$ 、N型領域21dが30 $\mu\text{m}$ の実施例2は実施例1に比べて $\lambda$ 特性が向上されている。P型領域21sが30 $\mu\text{m}$ 、N型領域21dが20 $\mu\text{m}$ の実施例3、及びP型領域21sが40 $\mu\text{m}$ 、N型領域21dが10 $\mu\text{m}$ の実施例4は、さらに $\lambda$ 特性が向上されている。

$\beta$ 特性については、実施例1, 2, 3, 4のいずれについても、比較例に比べて劣るが、N型領域21dを短くするに従って改善されているのがわかる。

## 【0054】

図4に示した実施例では、本発明をNchMOSトランジスタに適用しているが、ゲート電極についてチャネル長方向にソース側とドレイン側で仕事関数の異なる領域をもたせることによりチャネル領域のチャネル長方向においてソース側領域のしきい値電圧がドレイン側領域に比べて高くなっている構造は、PchMOSトランジスタにも適用することができ、NchMOSトランジスタに適用した場合と同様の効果を得ることができる。

## 【0055】

図5はさらに他の実施例を示す図であり、(A)は平面図、(B)は(A)のC-C位置での断面図である。この実施例はNchMOSトランジスタに適用したものである。図1及び図4と同じ部分には同じ符号を付す。

#### 【0056】

P型半導体基板1の表面にLOCOS酸化膜3が形成され、半導体基板1の素子形成領域にPウエル領域17が形成されている。Pウエル領域17表面部のチャネル領域19上にシリコン酸化膜からなるゲート酸化膜25が形成されている。ゲート酸化膜25上には、LOCOS酸化膜3に跨って、N型不純物が導入されたポリシリコンからなる帯状のゲート電極27が形成されている。Pウエル領域17表面部のチャネル領域19の両側に、N型不純物が注入されてなるソース23s及びドレイン23dが形成されている。ゲート電極27にはLOCOS酸化膜3上でオーミックコンタクト領域15が形成されている。

#### 【0057】

ゲート酸化膜25は、チャネル長方向に、ソース23s側の領域25sとドレイン23d側の領域25dで膜厚が異なっており、ソース23s側の領域25sの膜厚はドレイン23d側の領域25dに比べて厚くなっている。したがって、MOSトランジスタにおいて、シリコン酸化膜25の領域25sに対応する領域は、領域25dに対応する領域に比べて、しきい値電圧が高く（正側に）なっている。

#### 【0058】

ゲート酸化膜25のドレイン23d側の領域25dに対応する領域と、ソース23s側の領域25sに対応する領域にMOSトランジスタがそれぞれ形成されていると考えると、電流駆動能力が高いドレイン23d側のMOSトランジスタと電流駆動能力が低いソース23s側のMOSトランジスタが直列に接続されていると考えることができ、図1、図4を参照して説明した両実施例の場合と同様に、 $\lambda$ 特性を向上させることができる。

#### 【0059】

図5に示した実施例では、本発明をNchMOSトランジスタに適用しているが、ゲート酸化膜についてチャネル長方向にソース側とドレイン側で膜厚を異な

らせることによりチャネル領域のチャネル長方向においてソース側領域のしきい値電圧がドレイン側領域に比べて高くなっている構造は、PchMOSトランジスタにも適用することができ、NchMOSトランジスタに適用した場合と同様の効果を得ることができる。

#### 【0060】

また、図1に示した実施例では、チャネル領域についてチャネル長方向にソース側とドレイン側でチャネル不純物濃度を異ならせた構造を備え、図4に示した実施例では、ゲート電極についてチャネル長方向にソース側とドレイン側で仕事関数の異なる領域をもたせた構造を備え、図5に示した実施例では、ゲート酸化膜についてチャネル長方向にソース側とドレイン側で膜厚を異ならせた構造を備えているが、これらの構造のうち2つ又は全部を組み合わせて、チャネル領域のチャネル長方向においてドレイン側領域のしきい値電圧がソース側に比べて高くなるようにしてもよい。

#### 【0061】

図6はさらに他の実施例を示す図であり、(A)は平面図、(B)は(A)のD-D位置での断面図である。この実施例はNchMOSトランジスタに適用したものである。図1、図4及び図5と同じ部分には同じ符号を付す。

#### 【0062】

P型半導体基板1の表面にLOCOS酸化膜3が形成され、半導体基板1の素子形成領域にPウエル領域17が形成されている。Pウエル領域17表面部に、N型不純物が注入されてなるソース23s及びドレイン23dが互いに間隔をもって形成されている。Pウエル領域17表面部には、ソース23sとドレイン23dの間に、ソース23s及びドレイン23dとは間隔をもって、N型不純物が注入されてなるN型不純物拡散層29が形成されている。

#### 【0063】

ドレイン側チャネル領域31dとなる、ドレイン23dとN型不純物拡散層29の間のPウエル領域17上に、シリコン酸化膜からなるドレイン側ゲート酸化膜33dが形成されている。

ソース側チャネル領域31sとなる、ソース23sとN型不純物拡散層29の

間のPウェル領域17上に、シリコン酸化膜からなるソース側ゲート酸化膜33sが形成されている。

ゲート酸化膜33d, 33sの膜厚は例えば同じである。

#### 【0064】

ゲート酸化膜33d上には、LOCOS酸化膜3に跨って、N型不純物が導入されたポリシリコンからなる帯状のドレイン側ゲート電極35dが形成されている。

ゲート酸化膜33s上には、LOCOS酸化膜3に跨って、N型不純物が導入されたポリシリコンからなる帯状のソース側ゲート電極35sが形成されている。

ゲート電極35d, 35sは、LOCOS酸化膜3上で連続して形成されており、ゲート電極35を構成する。ゲート電極35にはLOCOS酸化膜3上でオーミックコンタクト領域15が形成されており、ゲート電極35d, 35sには同じ電圧が印加される。

#### 【0065】

ドレイン側チャネル領域31dとソース側チャネル領域31sは、チャネル不純物濃度が異なっており、N型不純物拡散層29、ソース23s、チャネル領域31s、ゲート酸化膜33s及びゲート電極35sにより構成されるソース側MOSトランジスタのしきい値電圧は、ドレイン23d、N型不純物拡散層29、チャネル領域31d、ゲート酸化膜33d及びゲート電極35dにより構成されるドレイン側MOSトランジスタのしきい値電圧に比べて高く（正側に）なっている。

#### 【0066】

この実施例では、N型不純物拡散層29を共通にして、電流駆動能力が高いドレイン側MOSトランジスタと電流駆動能力が低いソース側MOSトランジスタが直列に接続されていると考えることができる。この場合、電流駆動能力の高いドレイン側MOSトランジスタはソース側MOSトランジスタの電流駆動能力に合わせて電流の制限をかけられ、電流を低下させるために、ドレイン側MOSトランジスタのソース（N型不純物拡散層29）はバックバイアスがかかるように

電圧が発生する。N型不純物拡散層 29 にかかる電圧はソース側 MOS トランジスタのドレイン電圧となり、飽和領域ではゲート電圧を変化させなければ、ほぼ固定されることになる。このため、ドレイン 23 d にかかるドレイン電圧を変化させても、ソース側 MOS トランジスタのドレイン電圧（N型不純物拡散層 29）にかかる電圧は変化せず、飽和ドレイン電流を一定にすることができ、 $\lambda$  特性を向上させることができる。

#### 【0067】

さらに、この実施例では、ゲート電極 35 はドレイン側ゲート電極 35 d とソース側ゲート電極 35 s に分けて形成され、ドレイン側チャネル領域 31 d とソース側チャネル領域 31 s は間隔をもって形成されているので、共通のゲート電極を用い、隣接したチャネル不純物濃度の異なる 2 つのチャネル領域を用いる図 1 の実施例に比べて、写真製版のズレによる特性バラツキをなくすることができる。

#### 【0068】

図 7 はさらに他の実施例を示す図であり、(A) は平面図、(B) は (A) の E-E 位置での断面図である。この実施例は N c h MOS トランジスタに適用したものである。図 6 と同じ部分には同じ符号を付す。

#### 【0069】

P 型半導体基板 1 の表面に L O C O S 酸化膜 3 が形成され、半導体基板 1 の素子形成領域に P ウエル領域 17 が形成され、P ウエル領域 17 表面部に N 型不純物が注入されてなるドレイン 23 d、N 型不純物拡散層 29 及びドレイン 23 d が間隔をもって形成されている。

#### 【0070】

ドレイン側チャネル領域 37 d となる、ドレイン 23 d と N 型不純物拡散層 29 の間の P ウエル領域 17 上にドレイン側ゲート酸化膜 33 d が形成されている。

ソース側チャネル領域 37 s となる、ソース 23 s と N 型不純物拡散層 29 の間の P ウエル領域 17 上にソース側ゲート酸化膜 33 s が形成されている。

チャネル領域 37 d, 37 s のチャネル不純物濃度は例えば同じである。



**【0071】**

ゲート酸化膜 33d 上には、LOCOS 酸化膜 3 に跨って、N 型不純物が導入されたポリシリコンからなる帯状のドレイン側ゲート電極 39d が形成されている。

ゲート酸化膜 33s 上には、LOCOS 酸化膜 3 に跨って、P 型不純物が導入されたポリシリコンからなる帯状のソース側ゲート電極 39s が形成されている。

**【0072】**

ゲート電極 39d, 39s は、LOCOS 酸化膜 3 上で連続して形成されており、ゲート電極 39 を構成する。ゲート電極 39 には LOCOS 酸化膜 3 上でゲート電極 39d 及び 39s に跨ってオーミックコンタクト領域 15 が形成されており、ゲート電極 35d, 35s には同じ電圧が印加される。

**【0073】**

チャネル領域 37d, 37s は P 型であるので、P 型不純物が導入されているソース側ゲート電極 39s は、N 型不純物が導入されているドレイン側ゲート電極 39d に比べて、仕事関数が高い。したがって、N 型不純物拡散層 29、ソース 23s、チャネル領域 37s、ゲート酸化膜 33s 及びゲート電極 39s により構成されるソース側 MOS トランジスタのしきい値電圧は、ドレイン 23d、N 型不純物拡散層 29、チャネル領域 37d、ゲート酸化膜 33d 及びゲート電極 39d により構成されるドレイン側 MOS トランジスタのしきい値電圧に比べて高く（正側に）なっている。

**【0074】**

この実施例では、図 6 を参照して説明した実施例と同様に、N 型不純物拡散層 29 を共通にして、電流駆動能力が高いドレイン側 MOS トランジスタと電流駆動能力が低いソース側 MOS トランジスタが直列に接続されていると考えることができるので、 $\lambda$  特性を向上させることができる。

**【0075】**

さらに、この実施例では、ゲート電極 39 はドレイン側ゲート電極 39d とソース側ゲート電極 39s に分けて間隔をもって形成されているので、チャネル長

方向にP型領域とN型領域を隣接してもつ共通のゲート電極を用いる図4の実施例に比べて、写真製版のズレによる特性バラツキをなくすることができる。

#### 【0076】

図8はさらに他の実施例を示す図であり、(A)は平面図、(B)は(A)のF-F位置での断面図である。この実施例はNchMOSトランジスタに適用したものである。図6及び図7と同じ部分には同じ符号を付す。

#### 【0077】

P型半導体基板1の表面にLOCOS酸化膜3が形成され、半導体基板1の素子形成領域にPウエル領域17が形成され、Pウエル領域17表面部にドレイン23d、N型不純物拡散層29及びドレイン23dが間隔をもって形成されている。

#### 【0078】

ドレイン23dとN型不純物拡散層29の間のドレイン側チャネル領域37d上にドレイン側ゲート酸化膜41dが形成されている。ソース23sとN型不純物拡散層29の間のソース側チャネル領域37s上にソース側ゲート酸化膜41sが形成されている。ソース側ゲート酸化膜41sの膜厚はドレイン側ゲート酸化膜41dに比べて厚く形成されている。

#### 【0079】

ゲート酸化膜41d上には、LOCOS酸化膜3に跨って、ドレイン側ゲート電極35dが形成されている。ゲート酸化膜41s上には、LOCOS酸化膜3に跨って、ソース側ゲート電極35sが形成されている。ゲート電極35d、35sは、LOCOS酸化膜3上で連続して形成されており、ゲート電極35を構成する。ゲート電極35にはLOCOS酸化膜3上でオーミックコンタクト領域15が形成されている。

#### 【0080】

ソース側ゲート酸化膜41sはドレイン側ゲート酸化膜41dに比べて厚い膜厚で形成されている。したがって、N型不純物拡散層29、ソース23s、チャネル領域37s、ゲート酸化膜41s及びゲート電極35sにより構成されるソース側MOSトランジスタのしきい値電圧は、ドレイン23d、N型不純物拡散

層 29、チャネル領域 37d、ゲート酸化膜 41d 及びゲート電極 35d により構成されるドレイン側 MOS トランジスタのしきい値電圧に比べて高く（正側に）なっている。

#### 【0081】

この実施例では、図 6、図 7 を参照して説明した両実施例と同様に、N 型不純物拡散層 29 を共通にして、電流駆動能力が高いドレイン側 MOS トランジスタと電流駆動能力が低いソース側 MOS トランジスタが直列に接続されていると考えることができるので、 $\lambda$  特性を向上させることができる。

#### 【0082】

さらに、この実施例では、ドレイン側ゲート電極 41d とソース側ゲート電極 41s は間隔をもって形成されているので、チャネル長方向にドレイン側とソース側で異なる膜厚をもつゲート酸化膜を用いる図 5 の実施例に比べて、写真製版のズレによる特性バラツキをなくすことができる。

#### 【0083】

図 6 から図 8 に示した各実施例では、本発明を Nch MOS トランジスタに適用しているが、ドレイン側チャネル領域とソース側チャネル領域のチャネル不純物濃度が異なっている構造、ドレイン側ゲート電極とソース側ゲート電極の仕事関数が異なっている構造、ドレイン側ゲート酸化膜とソース側ゲート酸化膜の膜厚が異なっている構造によって、ソース側 MOS トランジスタのしきい値電圧がドレイン側 MOS トランジスタに比べて高くなっている構造は、Pch MOS トランジスタにも適用することができ、Nch MOS トランジスタに適用した場合と同様の効果を得ることができる。

#### 【0084】

また、ドレイン側チャネル領域とソース側チャネル領域のチャネル不純物濃度が異なっている構造、ドレイン側ゲート電極とソース側ゲート電極の仕事関数が異なっている構造、ドレイン側ゲート酸化膜とソース側ゲート酸化膜の膜厚が異なっている構造のうち 2 つ又は全部を組み合わせることによって、ソース側 MOS トランジスタのしきい値電圧がドレイン側 MOS トランジスタに比べて高くなっているようにしてもよい。

**【0085】**

また、上記の実施例で説明したMOSトランジスタは、エンハンスメント型、デプレッション型のいずれにも適用することができる。

**【0086】**

図9はカレントミラー回路を定電流負荷とする差動増幅回路を備えた半導体装置の一実施例を示す回路図である。

一対の差動入力用NchMOSトランジスタNch3, Nch4のドレインがそれぞれPchMOSトランジスタPch1, Pch2を介して電源51に接続されている。PchMOSトランジスタPch1, Pch2のゲート電極が相互に接続され、いずれか一方の入力用NchMOSトランジスタ、例えばNch4のドレインに接続点53で接続されることにより、PchMOSトランジスタPch1, Pch2はカレントミラー回路を構成し、定電流負荷として機能する。

**【0087】**

NchMOSトランジスタNch3のゲート電極は差動増幅回路の反転入力端子(−)に接続され、NchMOSトランジスタNch4のゲート電極は非反転入力端子(+)に接続される。NchMOSトランジスタNch3, Nch4のソースは定電流源55を介して接地電位に接続されている。PchMOSトランジスタPch1とNchMOSトランジスタNch3の接続点57がこのオペアンプの出力端子となる。

**【0088】**

この差動増幅回路の動作を説明する。ここで、反転入力端子(−)の電圧は一定電位とする。

非反転入力端子(+)の電圧、すなわちNchMOSトランジスタNch4のゲート電圧が上がると、NchMOSトランジスタNch4を流れる電流量が増加し、接続点53の電圧が下がり、PchMOSトランジスタPch1, Pch2のゲート電圧が下がり、PchMOSトランジスタPch1, Pch2を流れる電流量が増加し、接続点57での電流量が増加する。反転入力端子(−)の電圧、すなわちNchMOSトランジスタNch3のゲート電圧は一定電位なので、NchMOSトランジスタNch3のオン抵抗は一定であり、接続点57にお

いて電流量が増加すると電圧が上昇する。このように、非反転入力端子 (+) の電圧が上がると差動増幅回路の出力も上がる。

#### 【0089】

非反転入力端子 (+) の電圧、すなわち NchMOS トランジスタ Nch4 のゲート電圧が下がると、NchMOS トランジスタ Nch4 を流れる電流量が減少し、接続点 53 の電圧が上がり、PchMOS トランジスタ Pch1, Pch2 のゲート電圧が上がり、PchMOS トランジスタ Pch1, Pch2 を流れる電流量が減少し、接続点 57 での電流量が減少する。NchMOS トランジスタ Nch3 のオン抵抗は一定なので、接続点 57 において電流量が減少すると電圧が下がる。このように、非反転入力端子 (+) の電圧が下がると差動増幅回路の出力も下がる。

#### 【0090】

定電流負荷として機能するカレントミラー回路を構成する PchMOS トランジスタ Pch1, Pch2 として、本発明の半導体装置を構成する MOS トランジスタが適用される。

#### 【0091】

本発明の半導体装置を構成する MOS トランジスタは優れた  $\lambda$  特性を有する MOS トランジスタを小さな面積で形成することができるので、カレントミラー回路の面積を増大させることなく、PchMOS トランジスタ Pch1, Pch2 について、同じ電流を流す能力を向上させることができる。

さらに、PchMOS トランジスタ Pch1, Pch2 について、同じ電流を流す能力を向上させることができるので、差動増幅回路のゲインの改善を図ることができる。

#### 【0092】

この実施例では、本発明の半導体装置を構成する MOS トランジスタを備えたカレントミラー回路を差動増幅回路に適用しているが、本発明はこれに限定されるものではなく、本発明の半導体装置を構成する MOS トランジスタを備えたカレントミラー回路は、カレントミラー回路を備えた他の回路にも適用することができる。

## 【0093】

図10は基準電圧発生回路を備えた半導体装置の一実施例を示す回路図である。

Nchデプレッション型MOSトランジスタNch5のドレインが電源51に接続され、ゲート電極とソースが接続点59で互いに接続されている。MOSトランジスタNch5は定電流源を構成する。接続点59にはNchエンハンスメント型MOSトランジスタNch6のゲート電極とドレインも接続されている。MOSトランジスタNch6のソースは接地電位に接続されている。接続点59の電圧が基準電圧発生回路の出力となる。

## 【0094】

MOSトランジスタNch6はMOSトランジスタNch5による定電流で動作するので、接続点59の電圧、すなわち基準電圧発生回路の出力はMOSトランジスタNch6のしきい値電圧により決定される。

## 【0095】

定電流源を構成するNchデプレッション型MOSトランジスタNch5として、本発明の半導体装置を構成するMOSトランジスタが適用される。

本発明の半導体装置を構成するMOSトランジスタは優れた $\lambda$ 特性を有するMOSトランジスタを小さな面積で形成することができるので、Nchデプレッション型MOSトランジスタNch5に直列に接続されているNchエンハンスメント型MOSトランジスタNch6に安定して電流を供給することができ、基準電圧発生回路の出力電圧を安定させることができる。

## 【0096】

この実施例の基準電圧発生回路では、デプレッション型MOSトランジスタNch5に1個のエンハンスメント型MOSトランジスタが直列に接続されているが、定電流源を構成するデプレッション型MOSトランジスタに直列に接続されるMOSトランジスタは2個以上であってもよい。

## 【0097】

図11は定電圧発生回路を備えた半導体装置の一実施例を示す回路図である。  
電源51からの電源を負荷61に安定して供給すべく、定電圧発生回路63が

設けられている。定電圧発生回路 63 は、電源 51 が接続される入力端子 ( $V_{in}$ ) 65、基準電圧源としての基準電圧発生回路 ( $V_{ref}$ ) 67、差動増幅回路 69、PchMOSトランジスタからなる出力ドライバ 71、分割抵抗  $R_1$ 、 $R_2$  及び出力端子 ( $V_{out}$ ) 73 を備えている。

#### 【0098】

定電圧発生回路 63 の差動増幅回路 69 では、出力端子が出力ドライバ 71 のゲート電極に接続され、反転入力端子 (−) に基準電圧発生回路 67 から基準電圧  $V_{ref}$  が印加され、非反転入力端子 (+) に出力電圧  $V_{out}$  を分割抵抗  $R_1$  と  $R_2$  で分割した電圧が印加され、分割抵抗  $R_1$ 、 $R_2$  からの分割電圧が基準電圧  $V_{ref}$  に等しくなるように制御される。

#### 【0099】

定電圧発生回路 63 において、基準電圧発生回路 67 として、本発明の半導体装置を構成する MOS トランジスタを定電流源に適用したもの、例えば図 10 を参照して説明した基準電圧発生回路を備えている。また、差動増幅回路 69 として、本発明の半導体装置を構成する MOS トランジスタを適用したカレントミラー回路を備えたもの、例えば図 9 を参照して説明した差動増幅回路を備えている。

#### 【0100】

本発明の半導体装置を構成する MOS トランジスタを適用した基準電圧発生回路 67 によれば基準電圧発生回路の出力電圧を安定させることができ、本発明の半導体装置を構成する MOS トランジスタを適用した差動増幅回路 69 によればゲインの改善を図ることができるので、定電圧発生回路 63 の出力電圧の安定性を向上させることができる。

#### 【0101】

図 12 は電圧検出回路を備えた半導体装置の一実施例を示す回路図である。

電圧検出回路 75 において、69 は演算増幅器で、その反転入力端子 (−) に基準電圧発生回路 67 が接続され、基準電圧  $V_{ref}$  が印加される。入力端子 ( $V_{sens}$ ) 77 から入力される測定すべき端子の電圧が分割抵抗  $R_1$  と  $R_2$  によって分割されて差動増幅回路 69 の非反転入力端子 (+) に入力される。差動増幅回

路 69 の出力は出力端子 (Vout) 79 を介して外部に出力される。

#### 【0102】

電圧検出回路 75 では、測定すべき端子の電圧が高く、分割抵抗 R1 と R2 により分割された電圧が基準電圧 Vref よりも高いときは差動増幅回路 69 の出力が H レベルを維持し、測定すべき端子の電圧が降下してきて分割抵抗 R1 と R2 により分割された電圧が基準電圧 Vref 以下になると差動増幅回路 69 の出力が L レベルになる。

#### 【0103】

電圧検出回路 75 において、基準電圧発生回路 67 として、本発明の半導体装置を構成する MOS トランジスタを定電流源に適用したもの、例えば図 10 を参照して説明した基準電圧発生回路を備えている。また、差動増幅回路 69 として、本発明の半導体装置を構成する MOS トランジスタを適用したカレントミラー回路を備えたもの、例えば図 9 を参照して説明した差動増幅回路を備えている。

#### 【0104】

本発明の半導体装置を構成する MOS トランジスタを適用した基準電圧発生回路 67 によれば基準電圧発生回路の出力電圧を安定させることができ、本発明の半導体装置を構成する MOS トランジスタを適用した差動増幅回路 69 によればゲインの改善を図ることができるので、電圧検出回路 75 の出力電圧の安定性を向上させることができる。

#### 【0105】

図 13 はリングオシレータを備えた半導体装置の一実施例を示す回路図であり、(A) はリングオシレータ全体、(B) は (A) の定電流源を示す。

5 個のインバータ回路 81a, 81b, 81c, 81d, 81e が環状に接続されている。インバータ回路 81a, 81e の間の接続点 83 はインバータ回路 81f に接続されている。インバータ回路 81f の出力がリングオシレータの出力になる。

#### 【0106】

インバータ回路 81a, 81b の間の接続点 85a は容量 87a に接続されている。インバータ回路 81d, 81e の間の接続点 85b は容量 87b に接続さ



れている容量 87a, 87b の他方の電極は接地電位に接続されている。

【0107】

各インバータ回路には、電源 51 から定電流源 89 を介して電流が供給されている。定電流源 89 はゲート電極に基準電圧又は定電圧の一定電圧が印加される PchMOS トランジスタにより構成されている（(B) 参照）。

【0108】

リングオシレータでは、インバータ回路 81a, 81b, 81c, 81d, 81e に供給される電流と、容量 87a, 87b の容量値で発振周波数が決定される。

定電流源 89 を構成する PchMOS トランジスタとして、本発明を構成する MOS トランジスタが適用される。

【0109】

リングオシレータにおいて、インバータ回路 81a, 81b, 81c, 81d, 81e に供給される電流は電源 51 の電圧に依存しない特性が求められる。本発明の半導体装置を構成する MOS トランジスタによれば  $\lambda$  特性を向上させることができるので、本発明の半導体装置を構成する MOS トランジスタからなる定電流源 89 により 81a, 81b, 81c, 81d, 81e へ供給する電流を安定させることができ、リングオシレータの発振を安定させることができる。

【0110】

以上、本発明の実施例を説明したが、本発明は実施例に限定されるものではなく、特許請求の範囲に記載された本発明の範囲内で種々の変更が可能である。

【0111】

【発明の効果】

請求項 1 から 4 に記載された半導体装置では、MOS トランジスタは、チャネル領域のチャネル長方向において、ソース側領域のしきい値電圧がドレイン側領域に比べて高くなっているようにしたので、飽和ドレイン電流を一定にすることができ、 $\lambda$  特性を向上させることができる。さらに、チャネル幅及びチャネル長を縮小することができるので、優れた  $\lambda$  特性を有する MOS トランジスタを小さな面積で形成することができる。

## 【0112】

請求項5から8に記載された半導体装置では、請求項1に記載された半導体装置において、ソースとドレインの間に、ゲート電極によってソース及びドレインとは間隔をもって形成された不純物拡散層をさらに備え、チャネル領域は間隔をもって配置されたドレイン側チャネル領域とソース側チャネル領域により構成され、ゲート電極はドレイン側チャネル領域上にドレイン側ゲート酸化膜を介して形成されたドレイン側ゲート電極と、ソース側チャネル領域上にソース側ゲート酸化膜を介して形成されたソース側ゲート電極により構成され、ソース側領域は、ソース、不純物拡散層、ソース側チャネル領域、ソース側ゲート酸化膜及びソース側ゲート電極からなるソース側MOSトランジスタにより構成され、ドレイン側領域は、ドレイン、不純物拡散層、ドレイン側チャネル領域、ドレイン側ゲート酸化膜及びドレイン側ゲート電極からなるドレイン側MOSトランジスタにより構成されているようにしたので、写真製版のズレによる特性バラツキをなくすることができる。

## 【0113】

請求項9に記載された半導体装置では、カレントミラー回路を備えた半導体装置において、カレントミラー回路を構成するMOSトランジスタは、本発明の半導体装置を構成するMOSトランジスタにより構成されているようにしたので、カレントミラー回路の面積を増大させることなく、両MOSトランジスタに同じ電流を流す能力を向上させることができる。

## 【0114】

請求項10に記載された半導体装置では、カレントミラー回路を定電流負荷とする差動増幅回路を備えた半導体装置において、カレントミラー回路は、請求項9に記載された半導体装置を構成するカレントミラー回路により構成されているようにしたので、カレントミラー回路を構成する両MOSトランジスタに同じ電流を流す能力を向上させることができ、差動増幅回路のゲインの改善を図ることができる。

## 【0115】

請求項11に記載された半導体装置では、デプレッション型MOSトランジス

タを定電流源とし、そのデプレッション型MOSトランジスタに1又は複数のエンハンスメント型MOSトランジスタが直列に接続されて構成される基準電圧発生回路を備えた半導体装置において、デプレッション型MOSトランジスタは、本発明の半導体装置を構成するMOSトランジスタにより構成されているようにしたので、そのデプレッション型MOSトランジスタに直列に接続されている1又は複数のエンハンスメント型MOSトランジスタに安定して電流を供給することができ、基準電圧発生回路の出力電圧を安定させることができる。

#### 【0116】

請求項12に記載された半導体装置では、分割抵抗と基準電圧発生回路と差動増幅回路をもつ電圧検出回路を備えた半導体装置において、差動増幅回路として請求項10に記載された半導体装置を構成する差動増幅回路を備え、もしくは基準電圧発生回路として請求項11に記載された半導体装置を構成する基準電圧発生回路を備え、又はその両方を備えているようにしたので、本発明が適用された差動増幅回路ではゲインの改善を図ることができ、本発明が適用された基準電圧発生回路では基準電圧の安定化を図ることができるので、電圧検出回路の電圧検出能力の精度を向上させることができる。

#### 【0117】

請求項13に記載された半導体装置では、入力電圧の出力を制御する出力ドライバと、分割抵抗と、基準電圧発生回路と、差動増幅回路をもつ定電圧発生回路を備えた半導体装置において、差動増幅回路として請求項10に記載された半導体装置を構成する差動増幅回路を備え、もしくは基準電圧発生回路として請求項11に記載された半導体装置を構成する基準電圧発生回路を備え、又はその両方を備えているようにしたので、本発明が適用された差動増幅回路ではゲインの改善を図ることができ、本発明が適用された基準電圧発生回路では基準電圧の安定化を図ることができるので、定電圧発生回路の出力電圧の安定性を向上させることができる。

#### 【0118】

請求項14に記載された半導体装置では、環状に接続された複数個のインバータ回路と、インバータ回路に電源を供給するための定電流源をもつリングオシレ

ータを備えた半導体装置において、定電流源は、本発明の半導体装置を構成する MOS トランジスタにより構成されているようにしたので、本発明の半導体装置を構成する MOS トランジスタによれば  $\lambda$  特性を向上させることができるので、リングオシレータの発振を安定させることができる。

【図面の簡単な説明】

【図 1】

一実施例を示す図であり、(A) は平面図、(B) は (A) の A-A 位置での断面図である。

【図 2】

ドレイン側の MOS トランジスタとソース側の MOS トランジスタについて、ドレイン側の MOS トランジスタのチャネル長と  $\lambda$  特性の関係を示すグラフである。

【図 3】

ドレイン側の MOS トランジスタとソース側の MOS トランジスタについて、ドレイン側の MOS トランジスタ及びソース側の MOS トランジスタのしきい値電圧差と  $\lambda$  特性の関係を示すグラフである。

【図 4】

他の実施例を示す図であり、(A) は平面図、(B) は (A) の B-B 位置での断面図である。

【図 5】

さらに他の実施例を示す図であり、(A) は平面図、(B) は (A) の C-C 位置での断面図である。

【図 6】

さらに他の実施例を示す図であり、(A) は平面図、(B) は (A) の D-D 位置での断面図である。

【図 7】

さらに他の実施例を示す図であり、(A) は平面図、(B) は (A) の E-E 位置での断面図である。

【図 8】

さらに他の実施例を示す図であり、(A)は平面図、(B)は(A)のF-F位置での断面図である。

【図9】

カレントミラー回路を定電流負荷とする差動増幅回路を備えた半導体装置の一実施例を示す回路図である。

【図10】

基準電圧発生回路を備えた半導体装置の一実施例を示す回路図である。

【図11】

定電圧発生回路を備えた半導体装置の一実施例を示す回路図である。

【図12】

電圧検出回路を備えた半導体装置の一実施例を示す回路図である。

【図13】

リングオシレータを備えた半導体装置の一実施例を示す回路図であり、(A)はリングオシレータ全体、(B)は(A)の定電流源を示す。

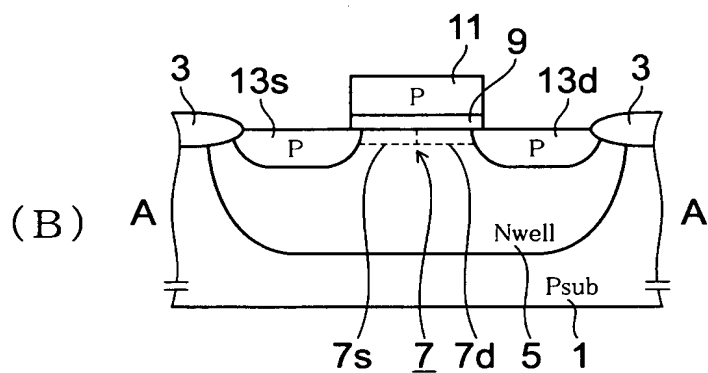
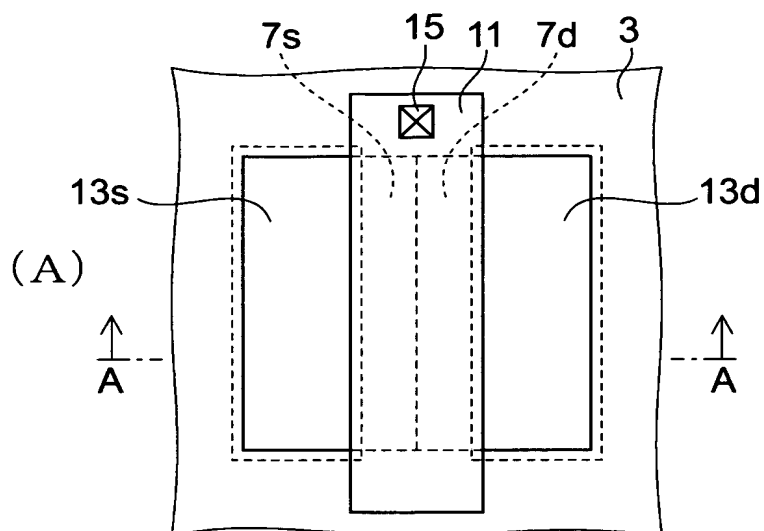
【符号の説明】

- 1 P型半導体基板
- 3 LOCOS酸化膜
- 5 Nウエル領域
- 7, 19 チャネル領域
- 7s チャネル領域のドレイン側の領域
- 7d チャネル領域のソース側の領域
- 9, 25 ゲート酸化膜
- 11, 21, 27, 35, 39 ゲート電極
- 13d, 23d ドレイン
- 13s, 23s ソース
- 15 オーミックコンタクト領域
- 21d ゲート電極のドレイン側の領域
- 21s ゲート電極のソース側の領域
- 25d ゲート酸化膜のドレイン側の領域

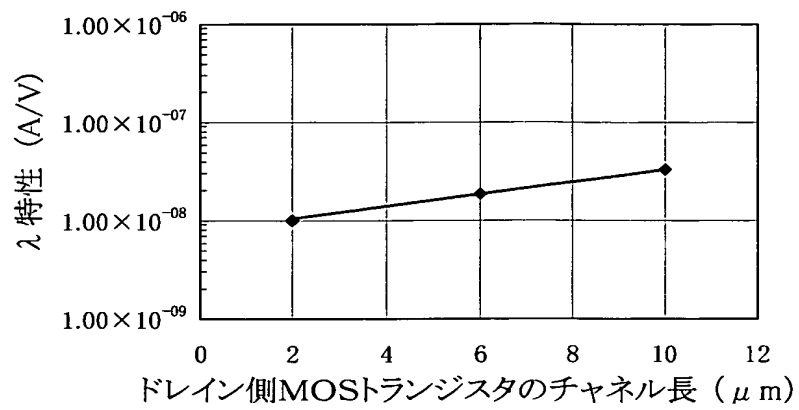
2 5 s ゲート酸化膜のソース側の領域  
2 9 不純物拡散層  
3 1 d, 3 7 d ドレイン側チャネル領域  
3 1 s, 3 7 s ソース側チャネル領域  
3 3 d, 4 1 d ドレイン側ゲート酸化膜  
3 3 s, 4 1 s ソース側ゲート酸化膜  
3 5 d, 3 9 d ドレイン側ゲート電極  
3 5 s, 3 9 s ソース側ゲート電極  
5 1 電源  
5 3, 5 5, 5 9, 8 3, 8 5 a, 8 5 b 接続点  
5 7, 8 9 直流電源  
6 1 負荷  
6 3 定電圧発生回路  
6 5, 7 7 入力端子  
6 7 基準電圧発生回路  
6 9 差動増幅回路  
7 1 出力ドライバ  
7 3, 7 9 出力端子  
7 5 電圧検出回路  
8 1 a, 8 1 b, 8 1 c, 8 1 d, 8 1 e, 8 1 f インバータ回路  
8 7 a, 8 7 b 容量  
P c h 1, P c h 2 P c h MOS トランジスタ  
N c h 3, N c h 4, N c h 5, N c h 6 N c h MOS トランジスタ

【書類名】 図面

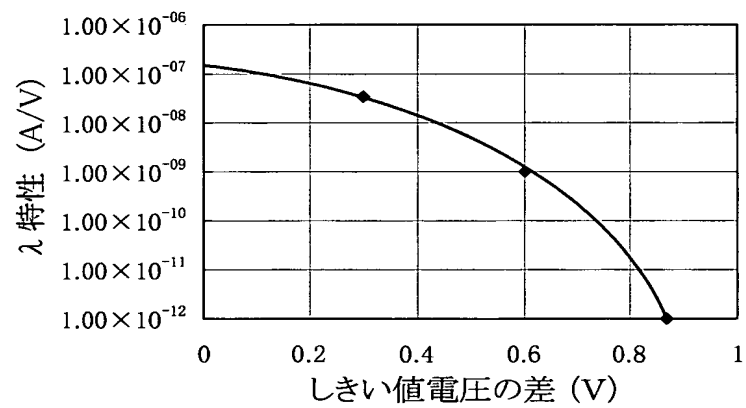
【図 1】



【図 2】

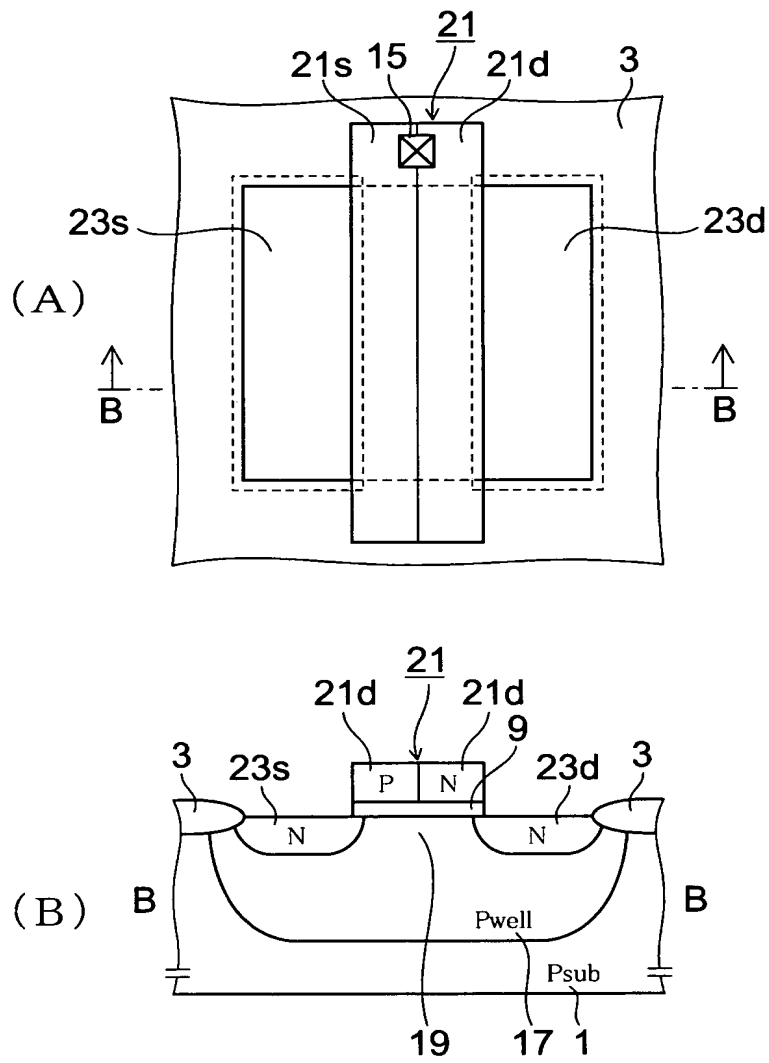


【図 3】

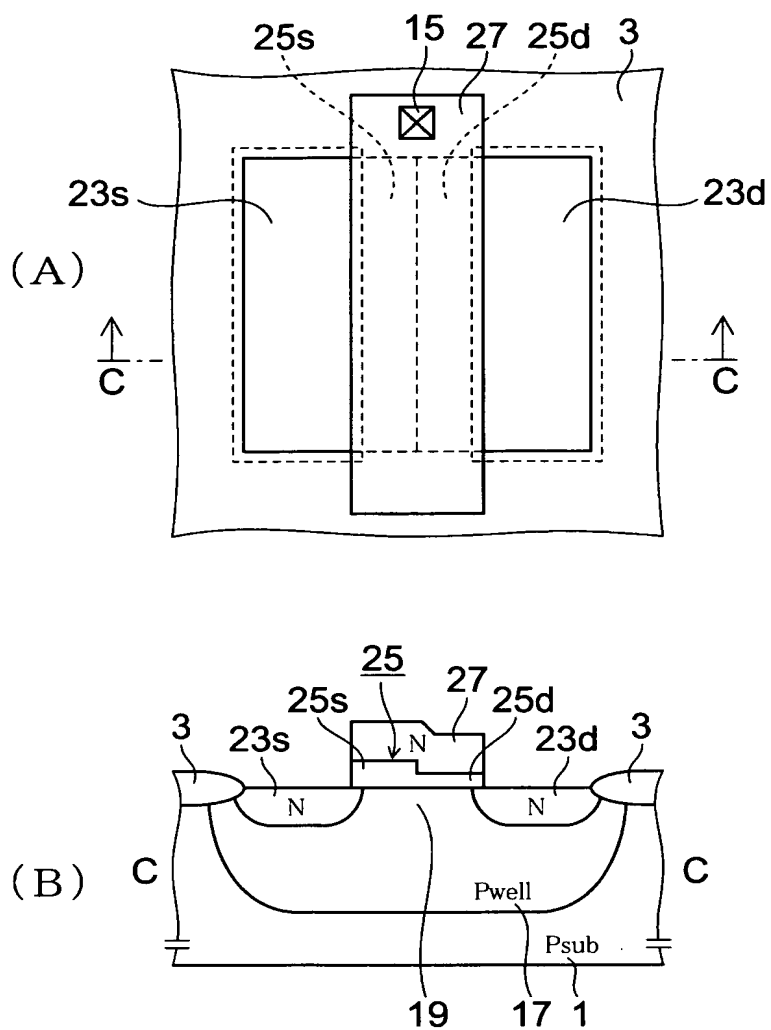




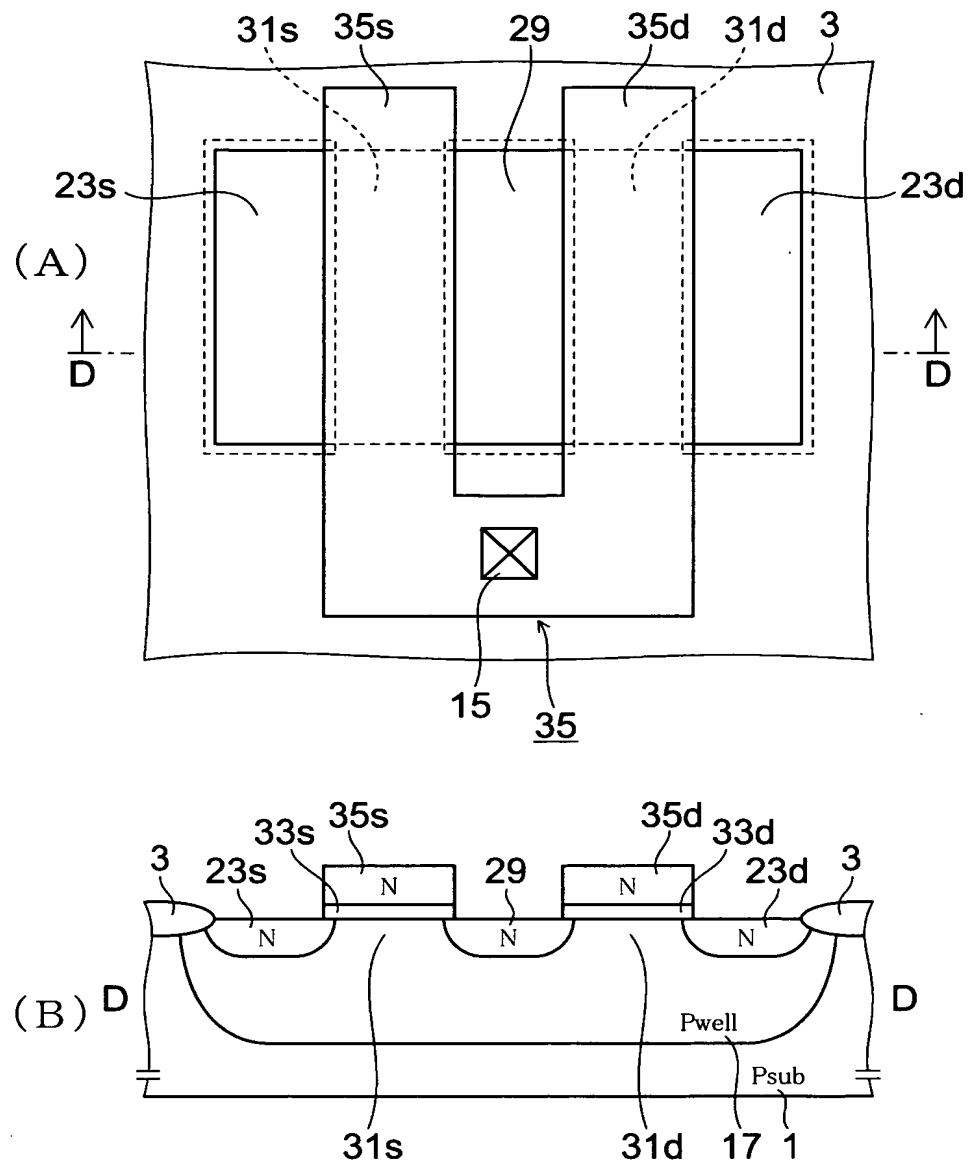
【図 4】



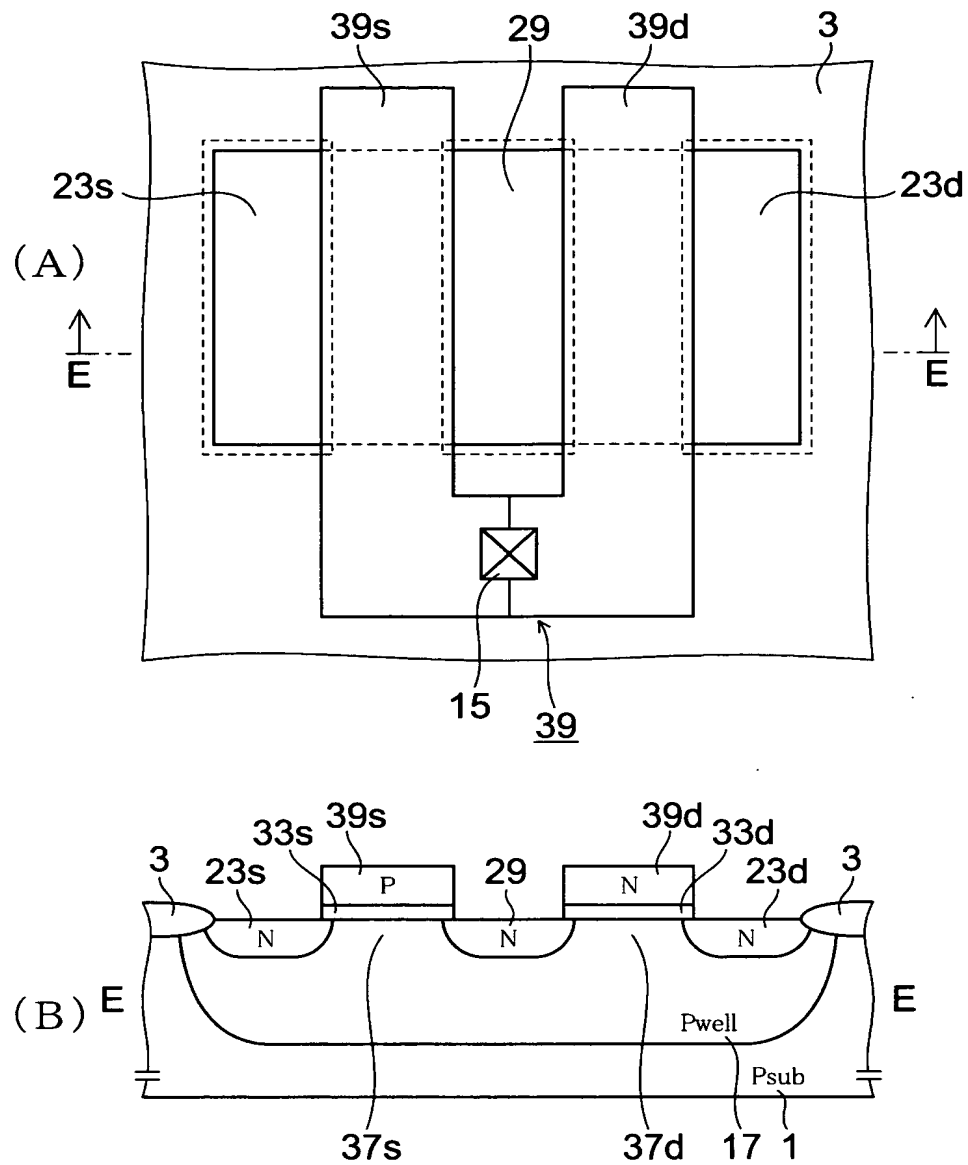
【図 5】



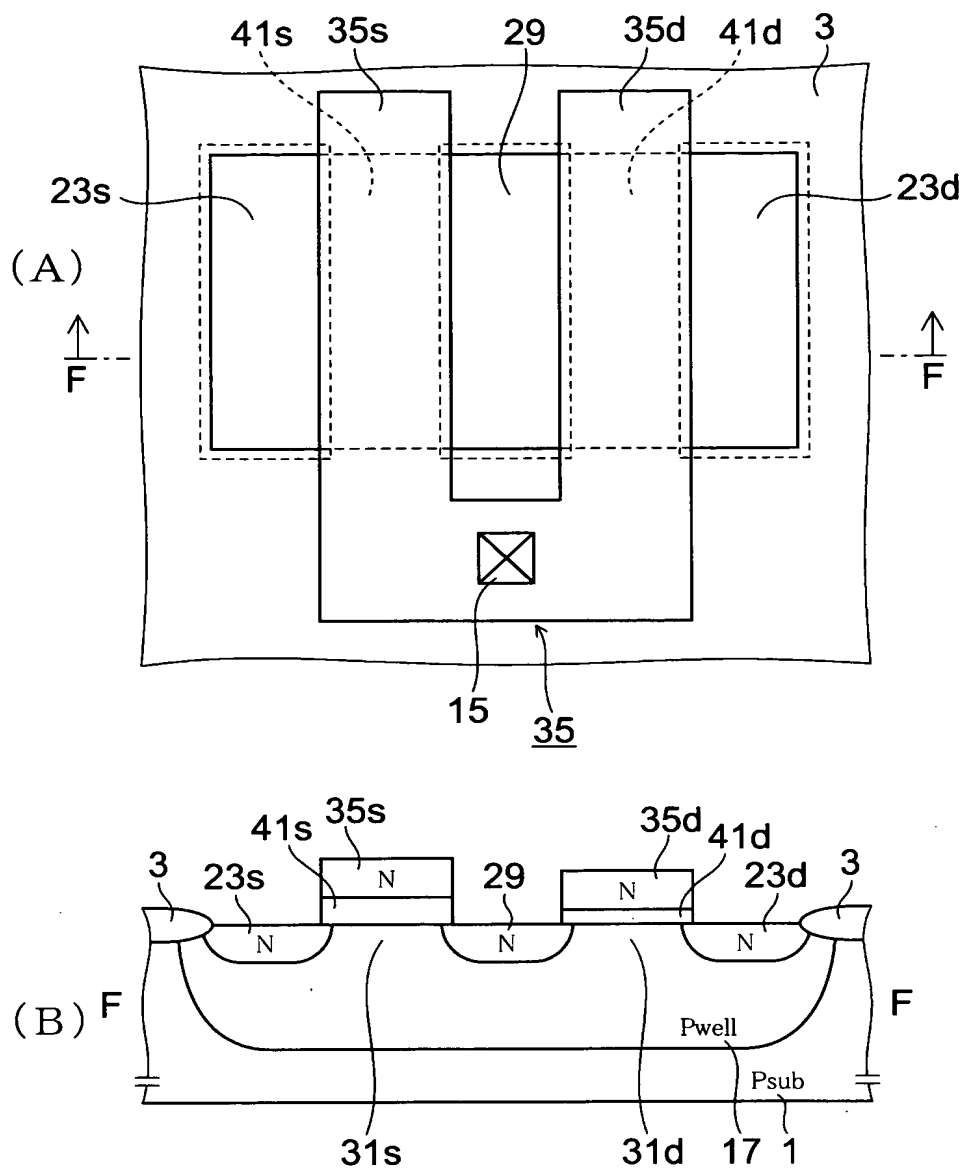
【図 6】



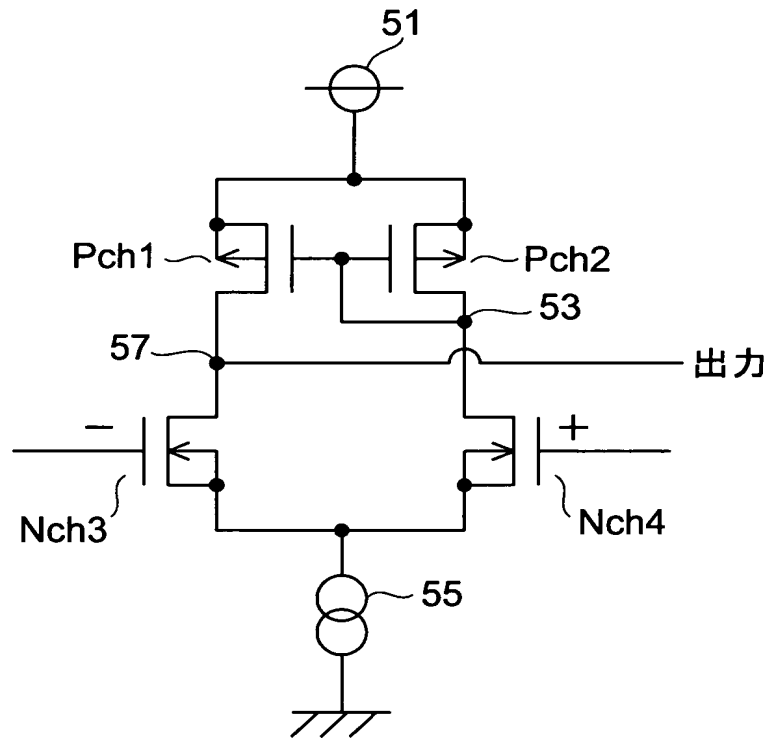
【図 7】



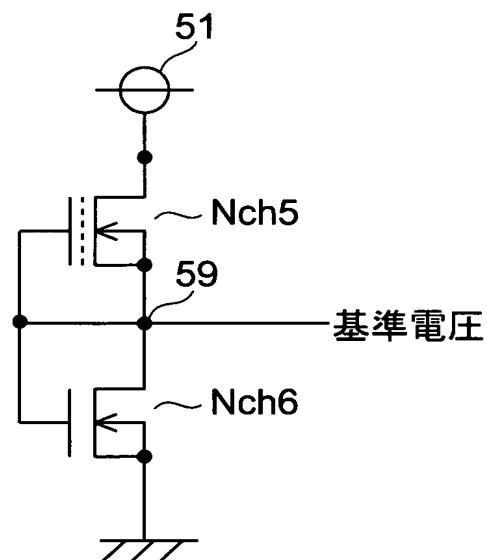
【図 8】



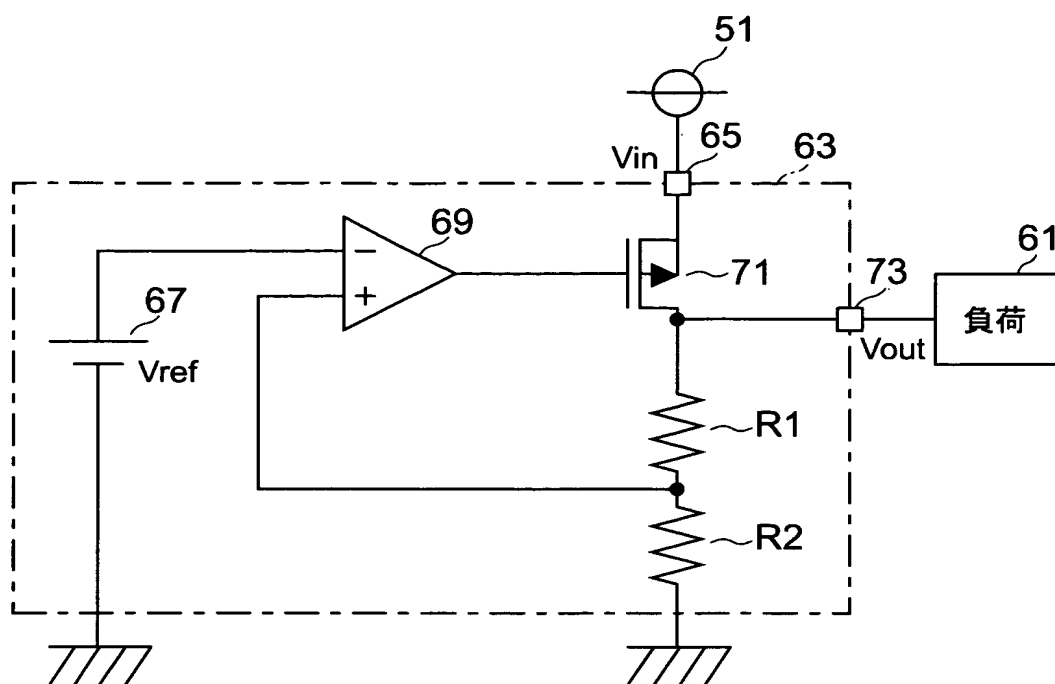
【図 9】



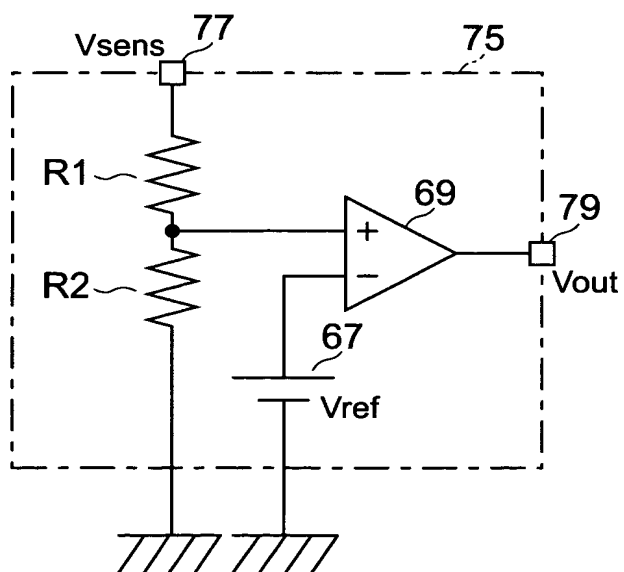
【図 10】



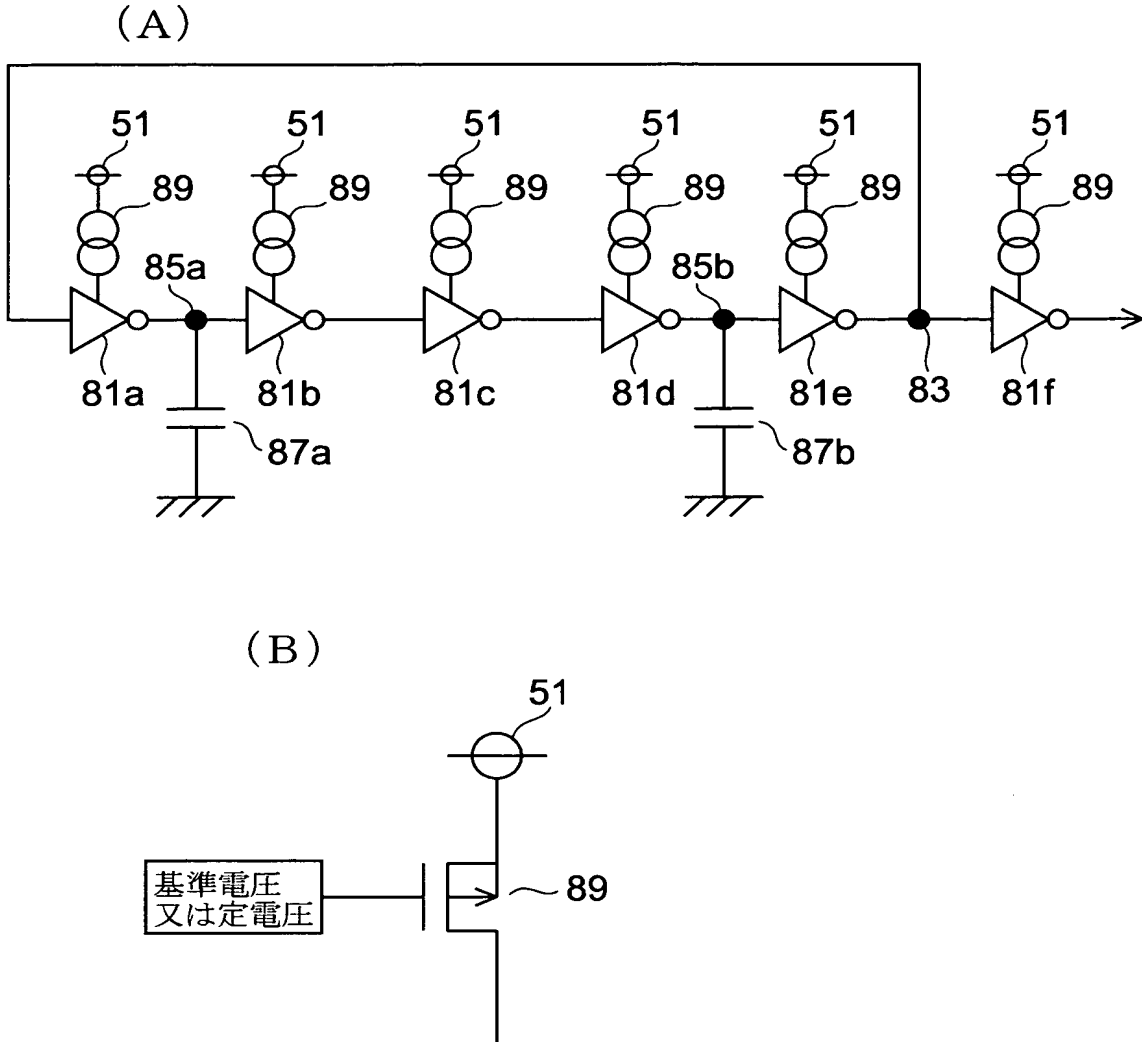
【図 11】



【図 12】



【図 13】





【書類名】 要約書

【要約】

【課題】 小さな面積で形成することができ、かつ優れた $\lambda$ 特性を有するMOSトランジスタを備えた半導体装置を提供する。

【解決手段】 P型半導体基板1に形成されたNウエル領域5表面部のチャネル領域7上にゲート酸化膜9を介してゲート電極11が形成されている。Nウエル領域5表面部のチャネル領域7の両側にソース13s及びドレイン13dが形成されている。チャネル領域7は、チャネル長方向に、ソース13s側の領域7sとドレイン13d側の領域7dでチャネル不純物濃度が異なり、ソース13s側の領域7sのしきい値電圧はドレイン13d側の領域7dのしきい値電圧に比べて高くなっている。

【選択図】 図1

特願 2003-041196

出願人履歴情報

識別番号

[000006747]

1. 変更年月日

2002年 5月17日

[変更理由]

住所変更

住 所

東京都大田区中馬込1丁目3番6号

氏 名

株式会社リコー